

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月12日

出願番号

Application Number:

特願2002-328296

[ST.10/C]:

[JP2002-328296]

出願人

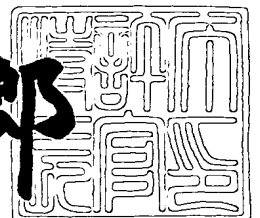
Applicant(s):

セイコーエプソン株式会社

2003年 6月26日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050785

【書類名】 特許願

【整理番号】 J0094387

【提出日】 平成14年11月12日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133
G09G 3/30
G09G 3/36

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 藤田 伸

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学パネル及びその製造方法

【特許請求の範囲】

【請求項 1】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置されたスイッチング素子とを備え、前記各走査線と前記各データ線とによって仕切られた各画素領域は、画像の表示に寄与する有効画素領域と画像の表示に寄与しないダミー画素領域とを有する電気光学パネルであって、

前記各走査線を識別するための識別情報を示す識別パターンの一部又は全部を前記ダミー画素領域に形成したことを特徴とする電気光学パネル。

【請求項 2】 前記ダミー画素領域は、前記各走査線の一方の端部に設けられた第 1 領域と他方の端部に設けられた第 2 領域を有し、

前記識別パターンは、前記第 1 領域と前記第 2 領域とに分割して形成されることを特徴とする請求項 1 に記載の電気光学パネル。

【請求項 3】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置されたスイッチング素子とを備え、前記各走査線と前記各データ線とによって仕切られた各画素領域は、画像の表示に寄与する有効画素領域と画像の表示に寄与しないダミー画素領域とを有する電気光学パネルであって、

前記各データ線を識別するための識別情報を示す識別パターンの一部又は全部を前記ダミー画素領域に形成したことを特徴とする電気光学パネル。

【請求項 4】 前記ダミー画素領域は、前記各データ線の一方の端部に設けられた第 1 領域と他方の端部に設けられた第 2 領域を有し、

前記識別パターンは、前記第 1 領域と前記第 2 領域とに分割して形成されることを特徴とする請求項 3 に記載の電気光学パネル。

【請求項 5】 前記スイッチング素子は画素電極と接続されており、前記識別パターンは前記画素電極よりも小さいことを特徴とする請求項 1 乃至 4 のうちいずれか 1 項に記載の電気光学パネル。

【請求項 6】 素子基板とこれに対向する対向基板とを備え、

前記素子基板には、前記複数の走査線、前記複数のデータ線、及び前記各スイッチング素子が形成され、且つ、前記識別パターンと重複しない領域に、前記各走査線を駆動する走査線駆動回路及び前記各データ線を駆動するデータ線駆動回路が形成されることを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の電気光学パネル。

【請求項 7】 素子基板とこれに対向する対向基板とを備え、

前記素子基板には、前記複数の走査線、前記複数のデータ線、及び前記各スイッチング素子が形成され、

前記対向基板には、前記識別パターンが形成される

ことを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の電気光学パネル

【請求項 8】 前記識別パターンは光を遮光する材料で構成されることを特徴とする請求項 1 乃至 6 のうちいずれか 1 項に記載の電気光学パネル。

【請求項 9】 前記識別パターンは光を反射する材料で構成されることを特徴とする請求項 1 乃至 7 のうちいずれか 1 項に記載の電気光学パネル。

【請求項 10】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置されたトランジスタ素子とを備え、前記各走査線と前記各データ線とによって仕切られた各画素領域は、画像の表示に寄与する有効画素領域と画像の表示に寄与しないダミー画素領域とを有する電気光学パネルの製造方法であって、

基板の上に半導体層を形成するステップと、

前記半導体層の上にゲート絶縁膜を形成するステップと、

前記ゲート絶縁膜の上に前記トランジスタ素子のゲートを形成すると同時に、前記走査線又は前記データ線のうち少なくとも一方を識別するための識別パターンを前記ダミー画素領域の全部又は一部に形成するステップと

を備えることを特徴とする電気光学パネルの製造方法。

【請求項 11】 請求項 1 乃至 9 のうちいずれか 1 項に記載の電気光学パネルを備えた電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数の走査線及び複数のデータ線と、それらの交差に対応してマトリックス状に配置されたスイッチング素子を有する電気光学パネルに関する。

【 0 0 0 2 】

【従来の技術】

アクティブマトリクス方式の液晶パネルは、主に、マトリクス状に配列した画素電極の各々にスイッチング素子が設けられた素子基板と、カラーフィルタなどが形成された対向基板と、これら両基板との間に充填された液晶とを備える。このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して、画素電極に画像信号を印加すると、当該画素電極および対向電極（共通電極）の間の液晶層に所定の電荷が蓄積される。

【 0 0 0 3 】

また、液晶パネルの素子基板には、走査線を選択するための走査線駆動回路や、データ線にデータ線信号を供給するためのデータ線駆動回路が形成されることが多い。このような駆動回路の能動素子および画素領域に形成されるスイッチング素子は、薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と称する）によって構成される。

【 0 0 0 4 】

上述した液晶パネルにおいては、外部より供給される信号の信号調整や欠陥発生時の欠陥解析を目的として走査線やデータ線の識別を容易にすることを目的として、前記走査線及び前記データ線に例えばナンバリングを施したり、記号を付したりして識別パターンを形成することがある。この場合、識別パターンは素子基板上であって、画素領域の周辺に形成されていた。

【 0 0 0 5 】

【発明が解決しようとする課題】

ところで、識別パターンは、信号調整や欠陥解析のために用いられるので、画像表示には直接寄与しない。一方、液晶パネルにおいては、小型化及びコスト削

減の観点から、画素領域から基板の端部までの距離をできる限り短くすることが好ましい。

【0006】

このためには、画素領域の周辺に形成される識別パターンを微細化する必要があるが、識別パターンは顕微鏡等によって確認できる程度の大きさが必要であるので、その占有面積を減少させるには一定の限界があった。

【0007】

本発明は、上述した事情に鑑みてなされたものであり、画素領域から基板の端部までの距離を短くすることが可能な電気光学パネル等を提供することを課題とする。

【0008】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る電気光学パネルは、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置されたスイッチング素子とを備え、前記各走査線と前記各データ線とによって仕切られた各画素領域は、画像の表示に寄与する有効画素領域と画像の表示に寄与しないダミー画素領域とを有するものであって、前記各走査線を識別するための識別情報を示す識別パターンの一部又は全部を前記ダミー画素領域に形成したことを特徴とする。

【0009】

この発明によれば、走査線に係る識別パターンの一部又は全部がダミー画素領域に形成される。ダミー画素領域は画像表示に寄与しないから、そこに識別パターンを形成しても表示品質が劣化することはない。また、当該領域に識別パターンを形成するから、額縁面積を縮小することができ、電気光学パネルの小型化・軽量化を図るとともにコストの削減を図ることができる。

【0010】

ここで、前記ダミー画素領域は、前記各走査線の一方の端部に設けられた第1領域と他方の端部に設けられた第2領域を有し、前記識別パターンは、前記第1領域と前記第2領域とに分割して形成されることが好ましい。この場合には、走

査線の本数が多く識別情報の桁数が大きい場合であっても、識別パターンを分割して形成するので、額縁面積をより一層削減できる。

【 0 0 1 1 】

また、本発明に係る他の電気光学パネルは、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置されたスイッチング素子とを備え、前記各走査線と前記各データ線とによって仕切られた各画素領域は、画像の表示に寄与する有効画素領域と画像の表示に寄与しないダミー画素領域とを有するものであって、前記各データ線を識別するための識別情報を示す識別パターンの一部又は全部を前記ダミー画素領域に形成したことを特徴とする。この発明によれば、データ線に係る識別パターンの一部又は全部がダミー画素領域に形成されるから、額縁面積を縮小することができ、電気光学パネルの小型化・軽量化を図るとともにコストの削減を図ることができる。

【 0 0 1 2 】

ここで、前記ダミー画素領域は、前記各データ線の一方の端部に設けられた第1領域と他方の端部に設けられた第2領域を有し、前記識別パターンは、前記第1領域と前記第2領域とに分割して形成されることが好ましい。この場合には、データ線の本数が多く識別情報の桁数が大きい場合であっても、識別パターンを分割して形成するので、額縁面積をより一層削減できる。

【 0 0 1 3 】

また、上述した電気光学パネルにおいて、前記スイッチング素子は画素電極と接続されており、前記識別パターンは前記画素電極よりも小さいことが好ましい。この場合には、画素電極と重なる位置に識別パターンを形成することができる。

【 0 0 1 4 】

また、上述した電気光学パネルは、素子基板とこれに対向する対向基板とを備え、前記素子基板には、前記複数の走査線、前記複数のデータ線、及び前記各スイッチング素子が形成され、且つ、前記識別パターンと重複しない領域に、前記各走査線を駆動する走査線駆動回路及び前記各データ線を駆動するデータ線駆動回路が形成されることが好ましい。この場合には、識別パターンの一部又は全部を

ダミー画素領域に形成するから、パネルの面積が固定であれば駆動回路の占有面積を大きくすることができ、一方、駆動回路の占有面積が固定であればパネルサイズを縮小することができる。

【 0 0 1 5 】

また、上述した電気光学パネルは、素子基板とこれに対向する対向基板とを備え、前記素子基板には、前記複数の走査線、前記複数のデータ線、及び前記各スイッチング素子が形成され、前記対向基板には、前記識別パターンが形成されるものであってもよい。検査時に電気光学パネルを組み立てた状態で、電気光学パネルの裏側から識別パターンを確認することとなる。

【 0 0 1 6 】

さらに、前記識別パターンは光を遮光する材料で構成されてもよいし、前記識別パターンは光を反射する材料で構成されてもよい。

【 0 0 1 7 】

次に、本発明に係る電気光学パネルの製造方法は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置されたトランジスタ素子とを備え、前記各走査線と前記各データ線とによって仕切られた各画素領域は、画像の表示に寄与する有効画素領域と画像の表示に寄与しないダミー画素領域とを有する電気光学パネルを製造する方法であって、基板の上に半導体層を形成するステップと、前記半導体層の上にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上に前記トランジスタ素子のゲートを形成すると同時に、前記走査線又は前記データ線のうち少なくとも一方を識別するための識別パターンを前記ダミー画素領域の全部又は一部に形成するステップとを備える。これにより、ゲートの形成と同時に識別パターンを形成することが可能となるので、識別パターンを形成するために特別な製造工程を設ける必要がなくなる。

【 0 0 1 8 】

次に、本発明に係る電子機器は、上述した電気光学パネルを備える。例えば、液晶装置、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

【 0 0 1 9 】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

< 1. 液晶装置の全体構成 >

図 1 は実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネル A A、タイミング発生回路 3 0 0 及び画像処理回路 4 0 0 を備える。液晶パネル A A は、その素子基板上に画素領域 A、走査線駆動回路 1 0 0 およびデータ線駆動回路 2 0 0 を備える。

【 0 0 2 0 】

この液晶装置に供給される入力画像データ D は、例えば、3 ビットパラレルの形式である。タイミング発生回路 3 0 0 は、入力画像データ D に同期して Y クロック信号 Y C K、反転 Y クロック信号 Y C K B、X クロック信号 X C K、反転 X クロック信号 X C K B、Y 転送開始パルス D Y および X 転送開始パルス D X を生成して、走査線駆動回路 1 0 0 およびデータ線駆動回路 2 0 0 に供給する。また、タイミング発生回路 3 0 0 は、画像処理回路 4 0 0 を制御する各種のタイミング信号を生成し、これを出力する。

【 0 0 2 1 】

ここで、Y クロック信号 Y C K は、走査線 2 を選択する期間を特定し、反転 Y クロック信号 Y C K B は Y クロック信号 Y C K の論理レベルを反転したものである。X クロック信号 X C K は、データ線 3 を選択する期間を特定し、反転 X クロック信号 X C K B は X クロック信号 X C K の論理レベルを反転したものである。

【 0 0 2 2 】

画像処理回路 4 0 0 は、入力画像データ D に、液晶パネル A A の光透過特性を考慮したガンマ補正等を施した後、R G B 各色の画像データを D / A 変換して、画像信号 R、G、B を生成して液晶パネル A A に供給する。

【 0 0 2 3 】

次に、画素領域 A には、図 1 に示されるように、m (m は 2 以上の自然数) 本の走査線 2 が、X 方向に沿って平行に配列して形成される一方、n (n は 2 以上の自然数) 本のデータ線 3 が、Y 方向に沿って平行に配列して形成されている。

そして、走査線 2 とデータ線 3 との交差付近においては、TFT50 のゲートが走査線 2 に接続される一方、TFT50 のソースがデータ線 3 に接続されるとともに、TFT50 のドレインが画素電極 6 に接続される。そして、各画素は、画素電極 6 と、対向基板に形成される対向電極（後述する）と、これら両電極間に挟持された液晶とによって構成される。この結果、走査線 2 とデータ線 3 との各交差に対応して、画素はマトリクス状に配列されることとなる。

【 0 0 2 4 】

ここで、画素領域 A は、画像表示に寄与しないダミー画素領域 A 1 と画像表示に寄与する有効画素領域 A 2 とを備える。図 2 に、ダミー画素領域 A 1 と画像表示有効画素領域 A 2 とを示す。また、ダミー画素領域 A 1 は上部の領域 A 1 U、下部の領域 A 1 D、左部の領域 A 1 L、及び右部の領域 A 1 R からなる。具体的には、各走査線 2 のうち上から 1 本目より上の画素が領域 A 1 U、下から 2 本目より下の画素が領域 A 1 D となり、各データ線 3 のうち左から 4 本目より左が領域 A 1 L、右から 3 本目より右の画素が領域 A 1 R となる。

【 0 0 2 5 】

説明を図 1 に戻す。TFT50 のゲートが接続される各走査線 2 には、走査信号 Y 1、Y 2、…、Y m が、パルス的に線順次で印加されるようになっている。このため、ある走査線 2 に走査信号が供給されると、当該走査線に接続される TFT50 がオンするので、データ線 3 から所定のタイミングで供給されるデータ線信号 X 1、X 2、…、X n は、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

【 0 0 2 6 】

各画素に印加される電位レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電位が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電位が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【 0 0 2 7 】

また、保持された画像信号がリークするのを防ぐために、蓄積容量 5 1 が、画素電極 6 と対向電極との間に形成される液晶容量と並列に付加される。蓄積容量 5 1 は、後述する容量線と T F T 5 0 のドレインとの間に形成される。

以上の構成において、液晶パネル A A の欠陥を解析するために、各走査線 2 及び各データ線 3 に対応して識別パターンが素子基板に形成されている。

【 0 0 2 8 】

< 2. 液晶パネル A A の電氣的構成 >

図 3 は、液晶パネル A A の構成を示す斜視図であり、図 4 は、図 3 における Z - Z' 線の断面図である。これらの図に示されるように、液晶パネル A A は、画素電極 6 等が形成されたガラス等の素子基板 1 5 1 と、共通電極 1 5 8 等が形成されたガラス等の透明な対向基板 1 5 2 とを、スペーサ 1 5 3 が混入されたシール材 1 5 4 によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせるとともに、この間隙に電気光学材料としての液晶 1 5 5 を封入した構造となっている。なお、シール材 1 5 4 は、対向基板 1 5 2 の基板周辺に沿って形成されるが、液晶 1 5 5 を封入するために一部が開口している。このため、液晶 1 5 5 の封入後に、その開口部分が封止材 1 5 6 によって封止されている。

【 0 0 2 9 】

ここで、素子基板 1 5 1 の対向面であって、シール材 1 5 4 の外側一辺においては、データ線駆動回路 2 0 0 が形成されて、Y 方向に延在するデータ線 3 を駆動する構成となっている。さらに、この一辺には複数の接続電極 1 5 7 が形成されて、図示せぬタイミング発生回路からの各種信号や画像信号を入力する構成となっている。また、この一辺に隣接する一辺には、走査線駆動回路 1 0 0 が形成されて、X 方向に延在する走査線 2 をそれぞれ両側から駆動する構成となっている。

【 0 0 3 0 】

一方、対向基板 1 5 2 の共通電極 1 5 8 は、素子基板 1 5 1 との貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材によって、素子基板 1 5 1 との電氣的導通が図られている。ほかに、対向基板 1 5 2 には、液晶パネル A A の用途に応じて、例えば、第 1 に、ストライプ状や、モザイク状、トラ

イアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどのブラックマトリクスが設けられ、第 3 に、液晶パネル A A に光を照射するバックライトが設けられる。特に色光変調の用途の場合には、カラーフィルタは形成されずにブラックマトリクスが対向基板 1 5 2 に設けられる。さらに、対向基板 1 5 2 の周辺領域には光を遮光する遮光膜が形成されており、これにより非表示領域である額縁が形成されるようになっている。

【 0 0 3 1 】

くわえて、素子基板 1 5 1 および対向基板 1 5 2 の対向面には、それぞれ所定方向にラビング処理された配向膜などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶 1 5 5 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜、偏光板等が不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【 0 0 3 2 】

なお、データ線駆動回路 2 0 0、走査線駆動回路 1 0 0 等の周辺回路の一部または全部を、素子基板 1 5 1 に形成する替わりに、例えば、T A B (Tape Automated Bonding) 技術を用いてフィルムに実装された駆動用 I C チップを、素子基板 1 5 1 の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用 I C チップ自体を、C O G (Chip On Glass) 技術を用いて、素子基板 1 5 1 の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良い。

【 0 0 3 3 】

＜ 3. 走査線の識別パターンの構成＞

図 5 は、素子基板 1 5 1 における走査線 2 の左端部を拡大した平面図である。この図に示すように走査線 2 の端部にはダミー画素領域 A 1 が形成され、その内側に有効画素領域 A 2 が形成される。

【 0 0 3 4 】

そして、ダミー画素領域 A 1 には識別パターン 8 が形成されている。例えば、

左下の識別パターン 8 は、「1 0 0 0」を表す形状をしており、これによって、走査線 2 - 1 0 0 0 は上から数えて 1 0 0 0 番目の走査線であることが分かる。

【 0 0 3 5 】

ダミー画素領域 A 1 は画像表示には寄与しない。従って、ダミー画素領域 A 1 の画素電極 6 と重なる領域に識別パターン 8 を形成してもこれに画像の品質が劣化することはない。この例では、識別パターン 8 の一部をダミー画素領域 A 1 に形成したので、ダミー画素領域 A 1 の外側に識別パターン 8 を形成する場合と比較して、走査線駆動回路 1 0 0 が液晶パネル A A の中心よりに形成される。従って、額縁面積が縮小し、液晶パネル A A を小型化すると同時にコストの削減を図ることができる。

【 0 0 3 6 】

ここで、識別パターン 8 は、光を遮光する材料（光を吸収する材料を含む、例えば、樹脂や金属）で構成することができる。この場合には、素子基板 1 5 1 単体で検査を行って欠陥が発見された場合に、顕微鏡で検査を行うことによって欠陥の解析を行うことが可能である。

【 0 0 3 7 】

図 6 に、図 5 に示す B - B' で素子基板 1 5 1 を切断した断面図を示す。この図に示すように素子基板 1 5 1 には、半導体層（5 0 A ~ 5 0 C）が形成されている。半導体層は、多結晶シリコン膜で構成されており、ソース領域 5 0 A、チャネル領域 5 0 B 及びドレイン領域 5 0 C を備える。ゲート絶縁膜 1 6 0 は酸化膜であり、その上に走査線 2、容量線 3、及び識別パターン 8 が形成されている。容量線 3 はゲート絶縁膜 1 6 0 を介してドレイン領域 5 0 C と対向しており、対向面に蓄積容量 5 1 が構成される。

【 0 0 3 8 】

データ線 3 は、第 1 層間絶縁膜 1 6 1 及びゲート絶縁膜 1 6 0 を貫通するコンタクトホールを介してソース領域 5 0 A に接続されている。また、ドレイン電極 5 2 は第 1 層間絶縁膜 1 6 1 及びゲート絶縁膜 1 6 0 を貫通するコンタクトホールを介してドレイン領域 5 0 C に接続されている。さらに、データ線 3 及びドレイン電極 5 2 の上部には、第 2 層間絶縁膜 1 6 2 が形成されている。この第 2 層

間絶縁膜 1 6 2 にはコンタクトホールが形成されており、これを介して画素電極 6 がドレイン電極 5 2 に接続されている。以上の構成において、識別パターン 8 は、走査線 2 及び容量線 7 と同時に形成される。従って、識別パターン 8 を形成するのに、特別のプロセスを必要としない。

【 0 0 3 9 】

また、識別パターン 8 は、光を反射する材料（例えば、アルミニウム等の金属）で構成することも可能である。例えば、この場合には、素子基板 1 5 1 単体で検査を行って欠陥が発見された場合に、顕微鏡で検査を行うことによって欠陥の解析を行うことが可能である。また、液晶パネル A A の組み立て後に、識別パターン 8 を確認することも可能である。例えば、透過型の液晶パネル A A においては、素子基板の裏面側から液晶パネル A A を観察することによって、ナンバリングパターン識別パターン 8 を視認することが可能である。

【 0 0 4 0 】

ところで、図 5 に示す左下の識別パターン 8 は、「1 0 0 0」は桁数が 4 桁となるため、ダミー画素領域 A 1 より外に識別パターン 8 が形成されている。そこで、「1 0 0 0」のうち上位 2 桁を領域 A 1 L に形成する一方、下位 2 桁を領域 A 1 R に形成するようにしてもよい。即ち、識別パターン 8 を左右のダミー画素領域 A 1 L 及び A 1 R に分割して形成することにより、走査線 2 の本数が増加してもダミー画素領域 A 1 の中に識別パターン 8 を収めることができ、額縁面積をより一層縮小することが可能となる。

【 0 0 4 1 】

また、図 5 に示す例では、走査線 2 の番号を 1 0 進数で示したが図 7 に示すように最上位の桁を 1 6 進数で示すようにしてもよい。この場合には、1 6 0 0 まで番号を付与することが可能となるので、走査線 2 の本数が多い高精細な液晶パネル A A に適用することができる。さらに、総ての桁を 1 6 進数で表してもよい。

【 0 0 4 2 】

< 4. データ線の識別パターンの構成 >

図 8 は、素子基板 1 5 1 におけるデータ線 3 の下端部を拡大した平面図である

。そして、ダミー画素領域 A 1 には識別パターン 8 が形成されている。この識別パターン 8 は、データ線 3 の番号を示している。例えば、左端の識別パターン 8 は、「9 9 8」を表す形状をしており、これによって、データ線 3 - 9 9 8 は左から数えて 9 9 8 番目のデータ線であることが分かる。

【 0 0 4 3 】

この例では、識別パターン 8 の全部がダミー画素領域 A 1 に形成されていたが、識別パターン 8 の一部をダミー画素領域 A 1 に形成し、残りをデータ線駆動回路 2 0 0 とダミー画素領域 A 1 との間に形成してもよい。また、識別パターン 8 を 1 0 進数で表す場合には、上位 2 桁を領域 A 1 D に形成する一方、下位 2 桁を領域 A 1 U に形成するようにしてもよい。即ち、識別パターン 8 を上下のダミー画素領域 A 1 U 及び A 1 D に分割して形成してもよい。これにより、データ線 3 の本数が増加してもダミー画素領域 A 1 の中に識別パターン 8 を収めることができ、額縁面積をより一層縮小することが可能となる。

【 0 0 4 4 】

< 5. 液晶パネル A A の製造方法 >

次に、液晶パネル A A の製造方法について説明する。第 1 工程 S 1 では、素子基板 1 5 1 の上に、プレーナプロセスを利用して、半導体層 (5 0 A ~ 5 0 C) を形成する。このうち、ソース領域 5 0 A とドレイン領域 5 0 B にはイオンドープが施され、高濃度不純物領域が形成される。第 2 工程 S 2 では、半導体層 (5 0 A ~ 5 0 C) の上からゲート絶縁膜 1 6 0 が形成される。

【 0 0 4 5 】

第 3 工程 S 3 では、ゲート線 2、容量線 7、及び識別パターン 8 が同時に形成される。具体的には、スパッタ処理等により、アルミニウム等の導電材料を積層し、フォトリソグラフィ工程、エッチング工程等によりパターンニングを施す。

【 0 0 4 6 】

第 4 工程 S 4 では、ゲート線 2、容量線 7、及び識別パターン 8 の上から第 1 層間絶縁膜 1 6 1 を形成し、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより、あるいは、ウェットエッチングによりコンタクトホールを形成する。そして、データ線 3 及びドレイン電極 5 2 をパターンニングす

る。

【 0 0 4 7 】

第5工程S5では、光硬化型感光性アクリル樹脂、アクリル系、エポキシ系などスピコート、印刷等により塗布し、硬化させて第2層間絶縁膜162を形成する。そして、ドライエッチング又はウエットエッチングによりコンタクトホールを形成し、スパッタリング等により、酸素雰囲気中でITOを一面に堆積させ、更に、フォトリソグラフィ工程、エッチング工程等により、画素電極6を形成する。以上のようにして、素子基板151が製造される。

【 0 0 4 8 】

次に、対向基板152の製造方法および素子基板151と対向基板152とから液晶パネルAAを製造する方法について説明する。

【 0 0 4 9 】

対向基板152については、ガラス基板等の光透過性基板を用意し、基板の上にブラックマトリックスとしての遮光膜を形成する。遮光膜は、例えばCr、Ni、アルミニウムなどの金属材料をスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。なお、遮光膜は、上記の金属材料の他、カーボンやチタンなどをフォトレジストに分散させた樹脂ブラックなどの材料から形成してもよい。

【 0 0 5 0 】

その後、カラーフィルタを形成し、その上からスパッタリング法などにより、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極158を形成する。更に、対向電極158の表面上の全面にポリイミドなどの配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜を形成する。以上のようにして、対向基板152が製造される。

【 0 0 5 1 】

最後に、上述のように製造された素子基板151と対向基板152とを、画素電極6および対向電極158が互いに対向するようにシール材により貼り合わせ、真空吸引法などの方法により、両基板間の空間に、例えば複数種類のネマティ

ック液晶を混合してなる液晶を吸引して、所定の厚みを有する液晶層 1 5 5 を形成することにより、上記構造の液晶パネル A A が製造される。

【 0 0 5 2 】

< 6 . 応用例 >

< 6 - 1 : 素子基板の構成など >

上述した各実施形態においては、液晶パネル A A の素子基板 1 5 1 をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成された T F T によって、画素のスイッチング素子 (T F T 5 0) やデータ線駆動回路 2 0 0 、および走査線駆動回路 1 0 0 の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【 0 0 5 3 】

例えば、素子基板 1 5 1 を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や各種の回路の素子を構成しても良い。このように素子基板 1 5 1 を半導体基板により構成する場合には、透過型の表示パネルとして用いることができないため、画素電極 6 をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板 1 5 1 を透明基板として、画素電極 6 を反射型にしても良い。

【 0 0 5 4 】

さらに、上述した実施の形態にあつては、画素のスイッチング素子を、T F T で代表される 3 端子素子として説明したが、ダイオード等の 2 端子素子で構成しても良い。ただし、画素のスイッチング素子として 2 端子素子を用いる場合には、走査線 2 を一方の基板に形成し、データ線 3 を他方の基板に形成するとともに、2 端子素子を、走査線 2 またはデータ線 3 のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、走査線 2 とデータ線 3 との間に直列接続された二端子素子と、液晶とから構成されることとなる。

また、上述した実施の形態にあつては、透過型の液晶表示装置に適用した場合の例に沿って説明したが、本発明はこれに限られるものではなく、反射型液晶表

示装置や半透過反射型液晶表示装置等にも問題なく適用が可能である。

【 0 0 5 5 】

また、本発明は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。さらに、プラズマディスプレイ表示装置等にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【 0 0 5 6 】

< 6 - 2 : 電子機器 >

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。

< 6 - 2 - 1 : プロジェクタ >

まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図 1 0 は、プロジェクタの構成例を示す平面図である。この図に示されるように、プロジェクタ 1 1 0 0 内部には、ハロゲンランプ等の白色光源からなるランプユニット 1 1 0 2 が設けられている。このランプユニット 1 1 0 2 から射出された投射光は、ライトガイド 1 1 0 4 内に配置された 4 枚のミラー 1 1 0 6 および 2 枚のダイクロイックミラー 1 1 0 8 によって RGB の 3 原色に分離され、各原色に対応するライトバルブとしての液晶パネル A A 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G に入射される。

【 0 0 5 7 】

液晶パネル 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G の構成は、上述した液晶パネル A A と同等であり、画像信号処理回路 (図示省略) から供給される R、G、B の原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネル A A によって変調された光は、ダイクロイックプリズム 1 1 1 2 に 3 方向から入射される。このダイクロイックプリズム 1 1 1 2 においては、R および B の光が 9 0 度に屈折する一方、G の光が直進する。したがって、各色の画像が合成される結果、投射レンズ 1 1 1 4 を介して、スクリーン等にカラー画像が投写される

こととなる。

【 0 0 5 8 】

ここで、各液晶パネル 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G による表示像について着目すると、液晶パネル 1 1 1 0 G による表示像は、液晶パネル 1 1 1 0 R、1 1 1 0 B による表示像に対して左右反転することが必要となる。

【 0 0 5 9 】

なお、液晶パネル A A 1 1 1 0 R、1 1 1 0 B および 1 1 1 0 G には、ダイクロミックミラー 1 1 0 8 によって、R、G、B の各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【 0 0 6 0 】

< 6 - 2 - 2 : モバイル型コンピュータ >

次に、この液晶パネル A A を、モバイル型のパーソナルコンピュータに適用した例について説明する。図 1 1 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1 2 0 0 は、キーボード 1 2 0 2 を備えた本体部 1 2 0 4 と、液晶表示ユニット 1 2 0 6 とから構成されている。この液晶表示ユニット 1 2 0 6 は、先に述べた液晶パネル A A 1 0 0 5 の背面にバックライトを付加することにより構成されている。

【 0 0 6 1 】

< 6 - 2 - 3 : 携帯電話 >

さらに、この液晶パネル A A を、携帯電話に適用した例について説明する。図 1 2 は、この携帯電話の構成を示す斜視図である。図において、携帯電話 1 3 0 0 は、複数の操作ボタン 1 3 0 2 とともに、反射型の液晶パネル A A 1 0 0 5 を備えるものである。この反射型の液晶パネル A A 1 0 0 5 にあっては、必要に応じてその前面にフロントライトが設けられる。

【 0 0 6 2 】

なお、図 1 0 ～図 1 2 を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた装置等などが挙げられる。そし

て、これらの各種電子機器に適用可能なのは言うまでもない。

【 0 0 6 3 】

< 6 - 3 : 識別パターンその他の例 >

上述した実施形態では、各走査線 2 及び各データ線 3 に対応して識別パターン 8 を形成したが、走査線 2 又はデータ線 3 の一方に対応する識別パターン 8 としてもよい。また、識別パターン 8 は、各走査線 2 又は各データ線 3 を一意に識別するための記号（数字を含む）を表すものであったが、巡回する数字であってもよい。例えば、「9 9 9」の後に「0 0 0」、「0 0 1」…、を続けてもよい。対象とする識別パターン 8 が全体に占める大まかな位置は、顕微鏡の操作時に分かるので、巡回する数字で表したとしても走査線 2 又はデータ線 3 を一意に特定することができる。換言すれば、識別パターン 8 は走査線 2 又はデータ線 3 を識別できれば充分であり、一意に特定する必要はない。

【 0 0 6 4 】

また、上述した実施形態では、識別パターン 8 を素子基板 8 に形成したが、これを対向基板 1 5 2 に形成してもよい。図 1 3 は、識別パターン 8 を形成した対向基板 1 5 2 の一例を示す部分断面図である。この図に示すように対向基板 1 5 2 の下には遮光膜 B M が形成され、その下に R G B 各色に対応するカラーフィルタ C F r、C F g 及び C F b が形成されている。各カラーフィルタ C F r、C F g 及び C F b は、各画素に対応している。

【 0 0 6 5 】

そして、カラーフィルタ C F r、C F g 及び C F b の下には、対向電極 1 5 8 が形成され、その下に識別パターン 8 が形成される。各識別パターン 8 の大きさは、画素電極 6 より小さい。また、識別パターン 8 は、上述した実施形態と同様にダミー画素領域 A 1 の一部又は全部に形成される。ここで、識別パターン 8 は光を反射する材料、例えば、アルミニウムで構成されることが好ましい。透過型の液晶パネル A A を組み立てた後、素子基板の裏面側から顕微鏡で観察することによって、識別パターン 8 を確認することができる。また、液晶パネル A A が反射型や反透過反射型であれば、素子基板 1 5 2 に形成される反射画素電極を識別パターン 8 が位置する場所で設けないことによって、透過型の液晶パネル A A を

組み立てた後、裏側から顕微鏡で観察することによって、識別パターン 8 を確認することができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態に係る液晶装置の全体構成を示すブロック図である。

【図 2】 ダミー画素領域 A 1 と有効画素領域 A 2 とを示す説明図である。

【図 3】 同装置に用いられる液晶パネル A A の外観を示す斜視図である。

【図 4】 液晶パネル A A の構造を説明するための一部断面図である。

【図 5】 同液晶パネル A A に用いる素子基板 1 5 1 における走査線 2 の左端部を拡大した平面図である。

【図 6】 図 5 に示す素子基板 1 5 1 を B - B ' で切断した断面を示す断面図である。

【図 7】 識別パターン 8 の他の例を示す平面図である。

【図 8】 素子基板 1 5 1 におけるデータ線 3 の下端部を拡大した平面図である。

【図 9】 素子基板 1 5 1 の製造工程を示す工程図である。

【図 1 0】 同液晶パネル A A を適用した電子機器の一例たるビデオプロジェクタの断面図である。

【図 1 1】 同液晶パネル A A を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 1 2】 同液晶パネル A A を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図 1 3】 識別パターン 8 を形成した対向基板 1 5 2 の一例を示す部分断面図である。

【符号の説明】

A A …液晶パネル

A …画素領域

A 1 …ダミー画素領域

A 2 …有効画素領域

2 … 走査線

3 … データ線

6 … 画素電極

8 … 識別パターン

5 0 … T F T （スイッチング素子）

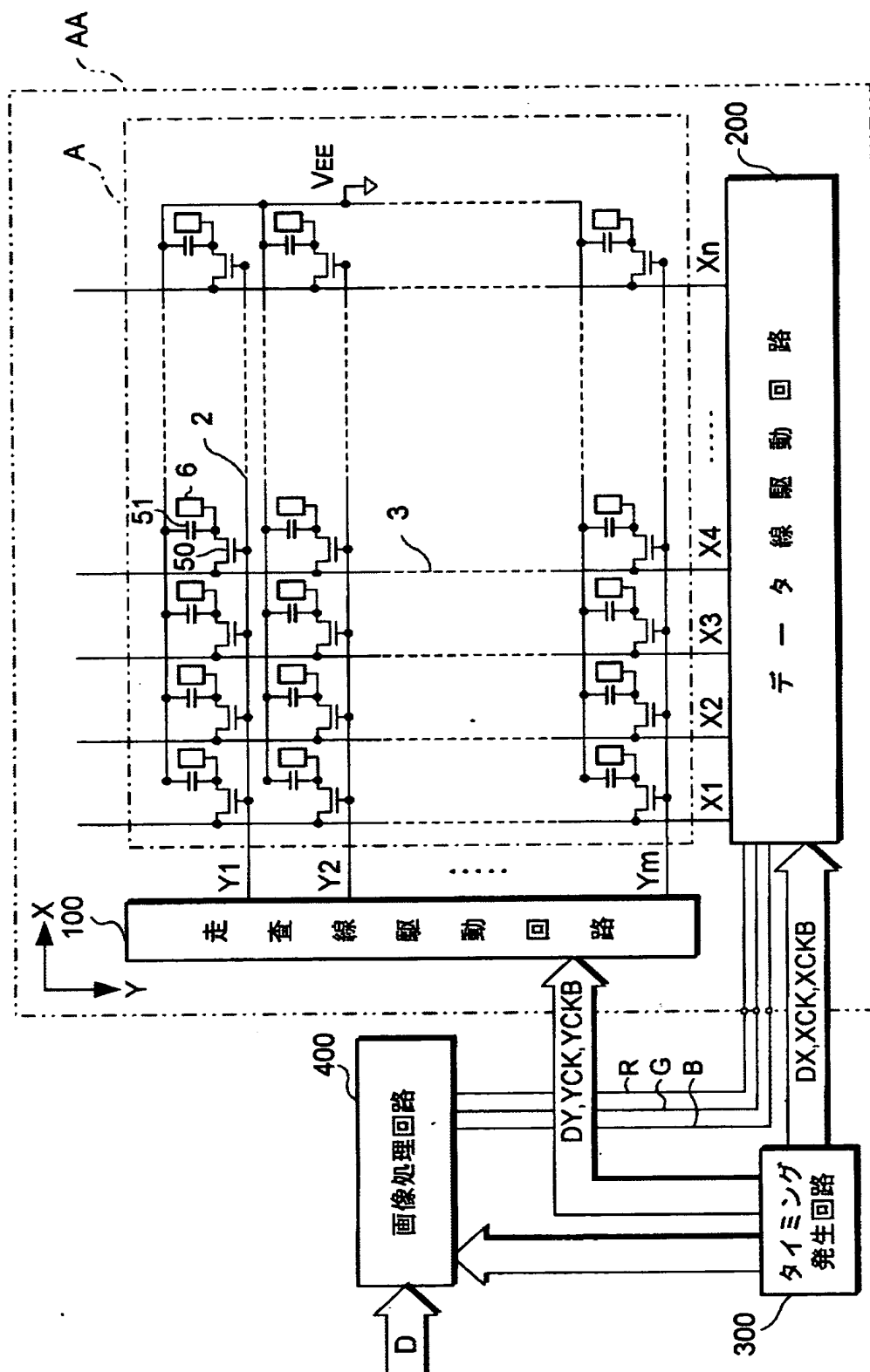
1 0 0 … 走査線駆動回路

2 0 0 … データ線駆動回路

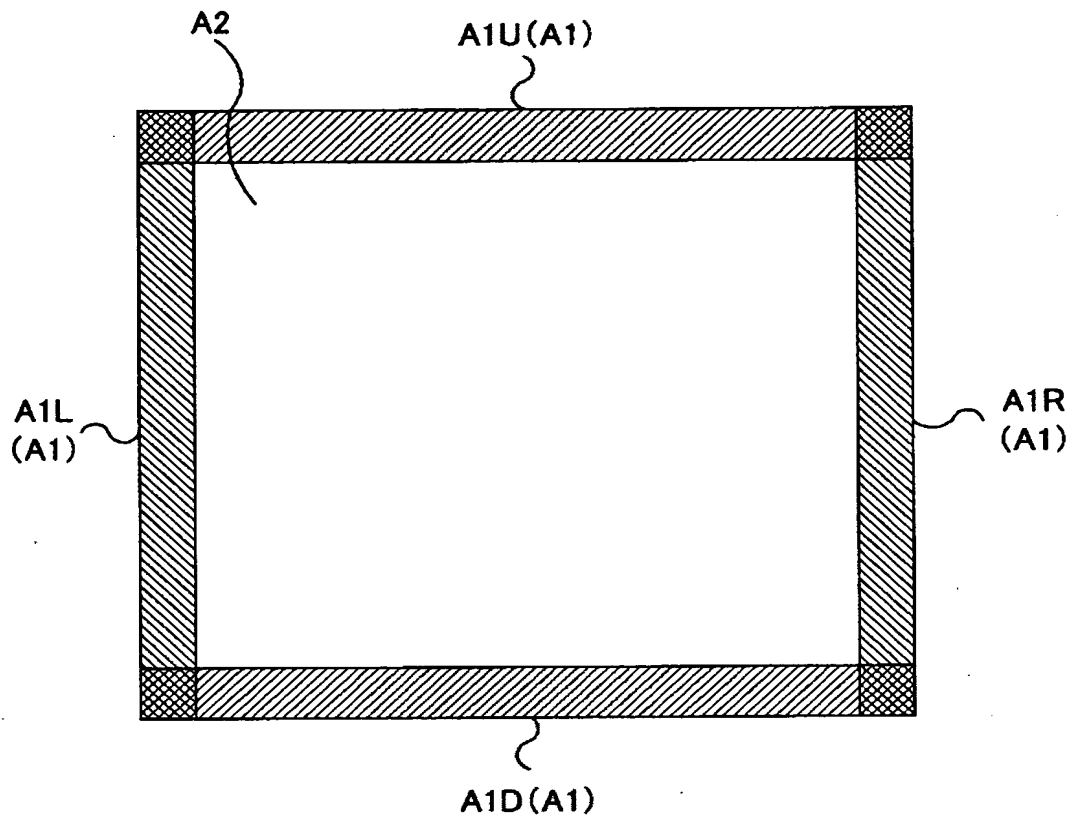
【書類名】

図面

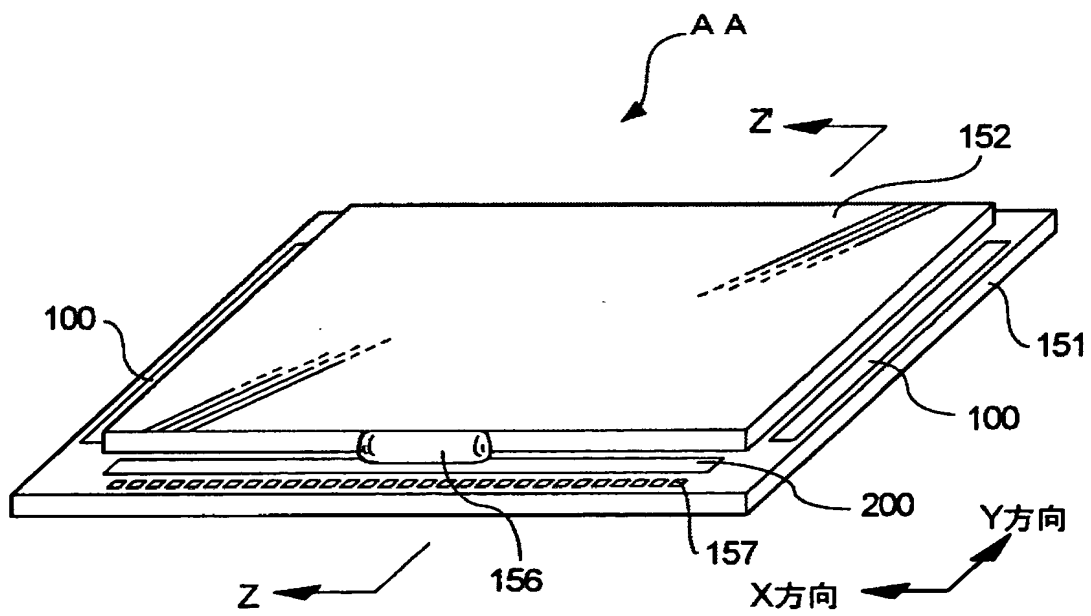
【図 1】



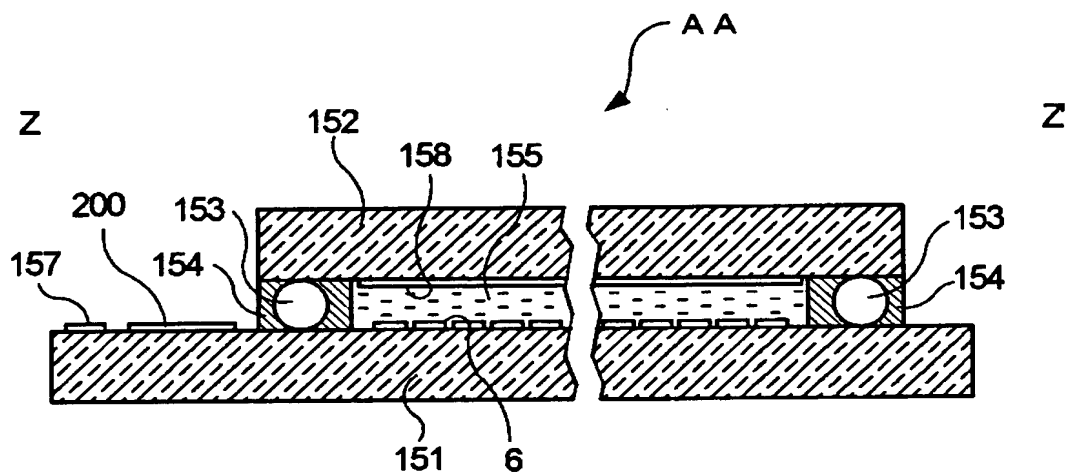
【図 2】



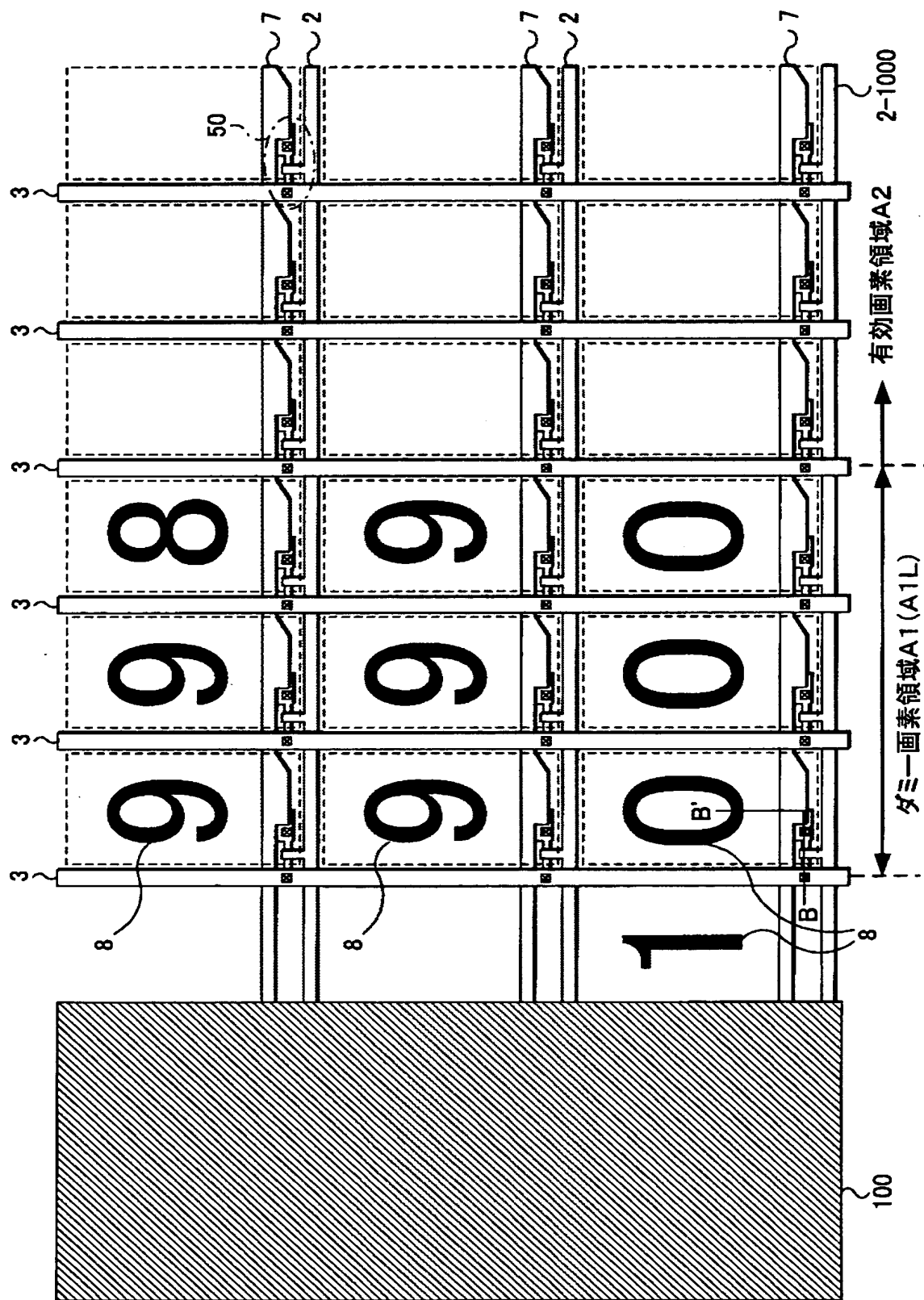
【図 3】



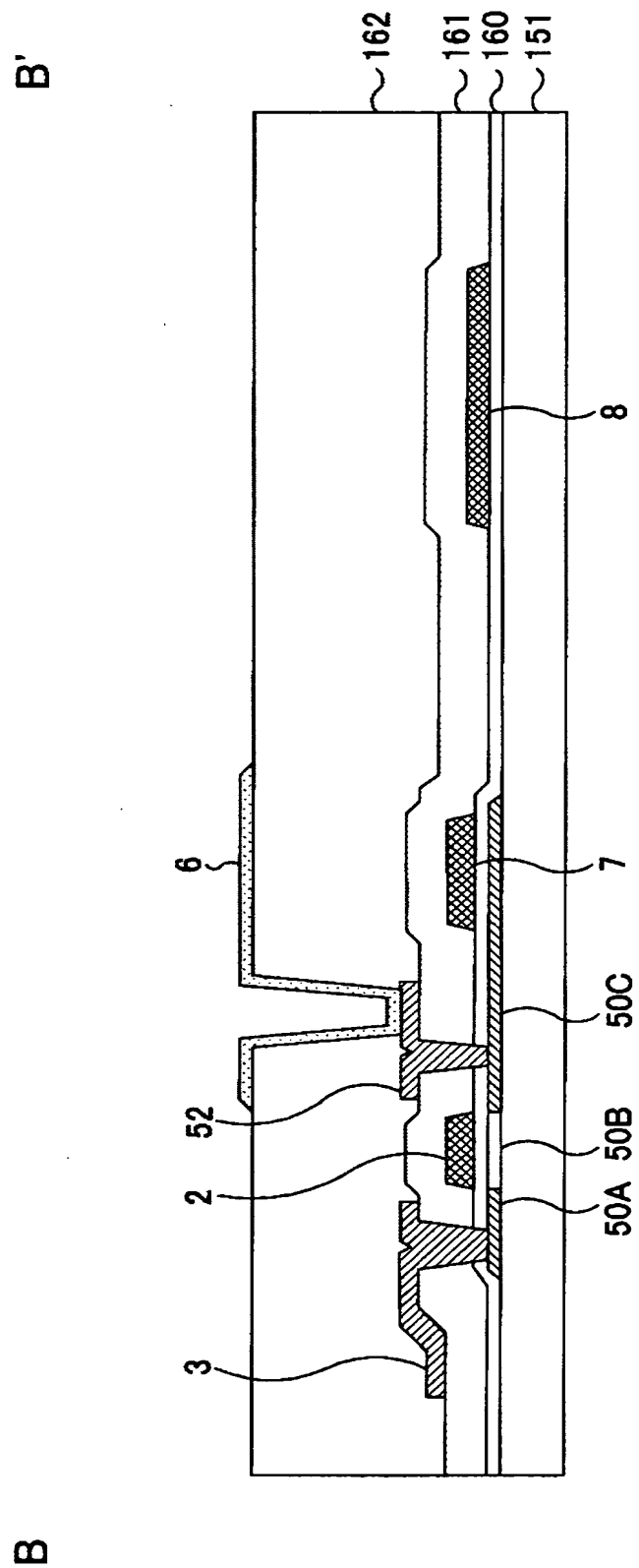
【図 4】



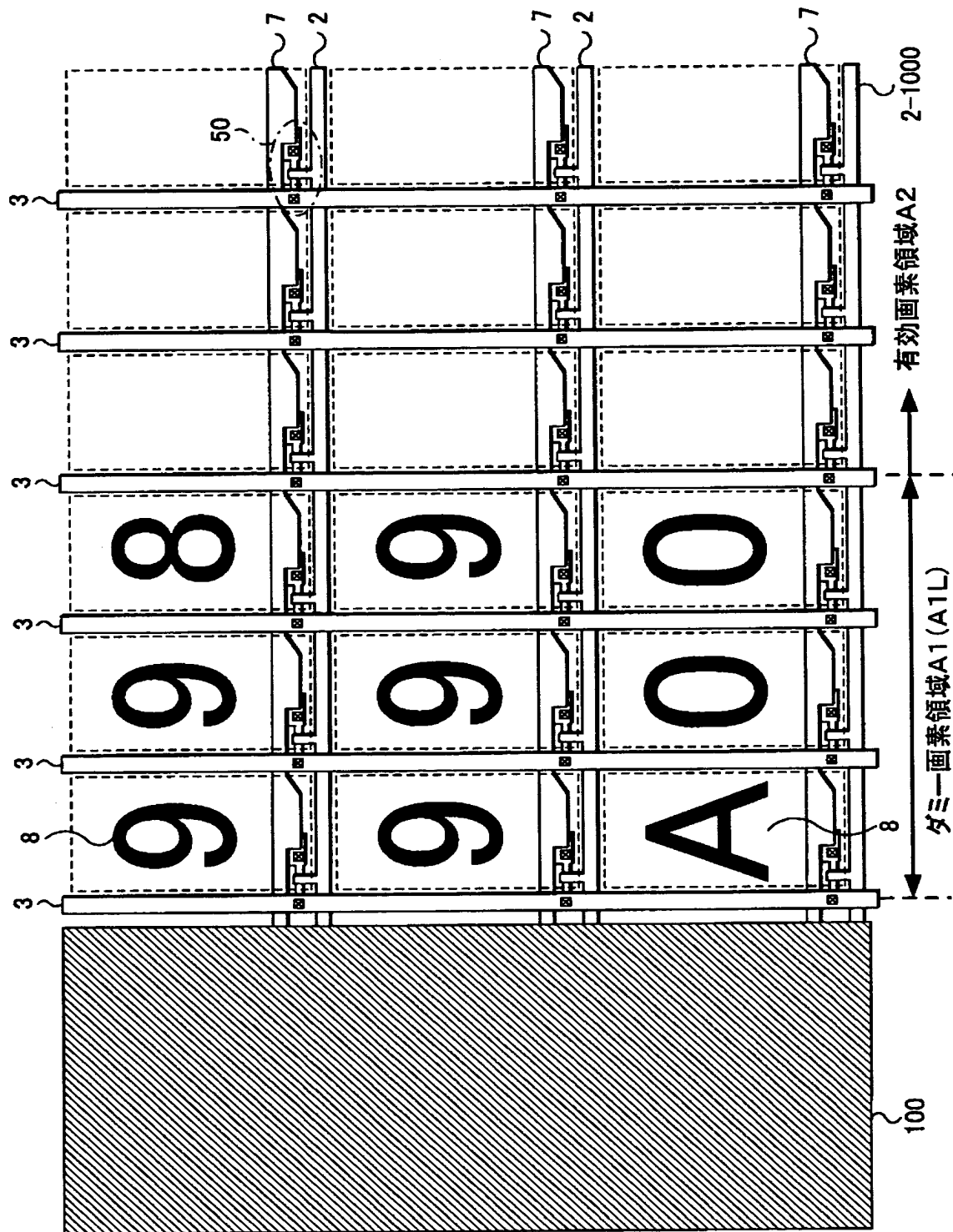
【图 5】



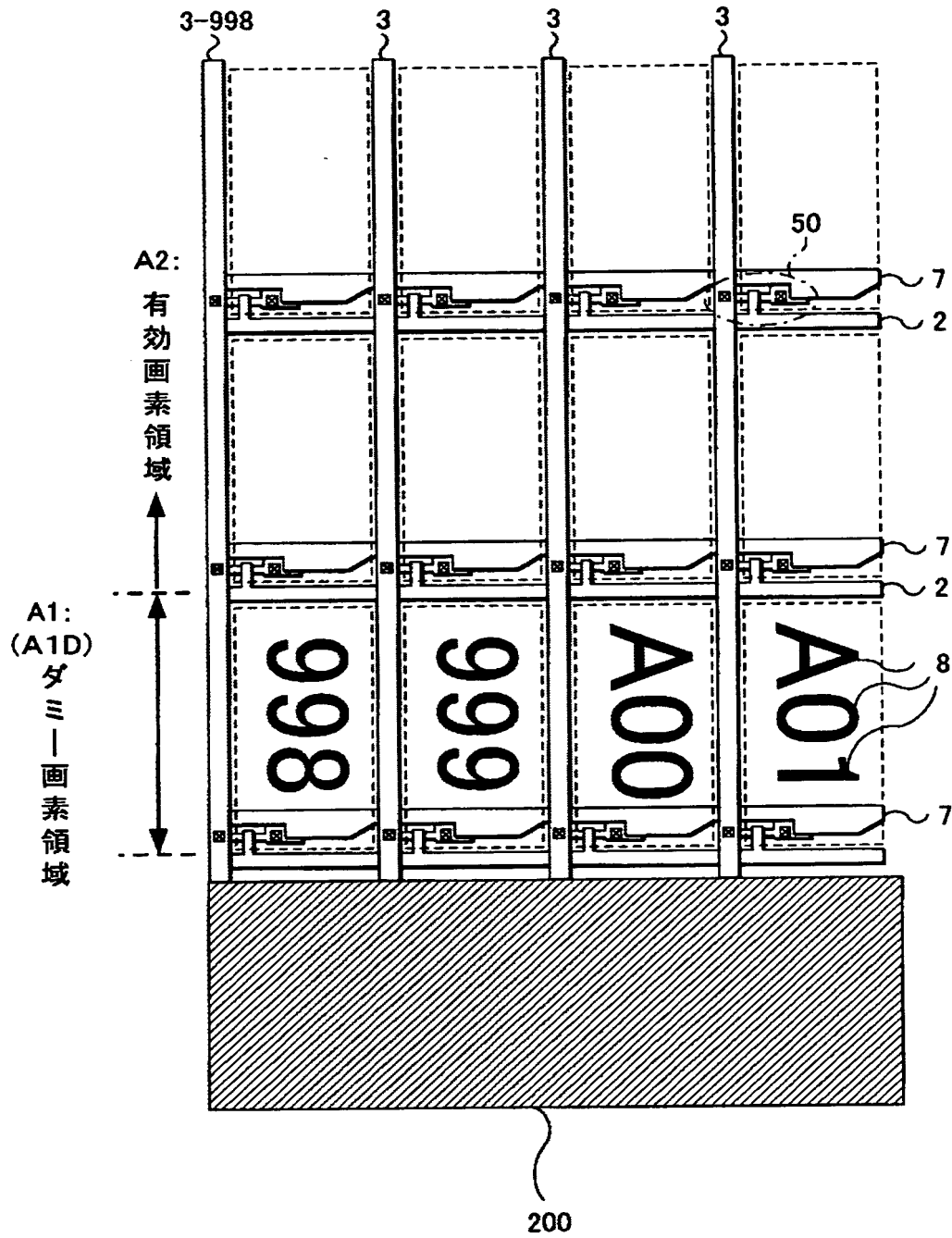
【図 6】



【図 7】

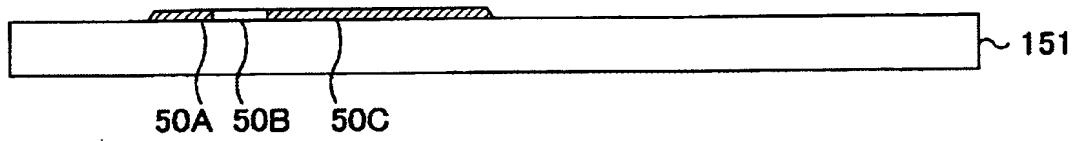


【図 8】

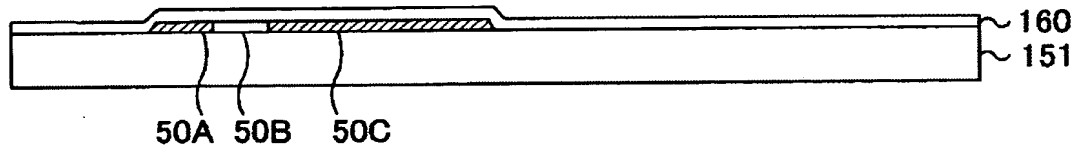


【図9】

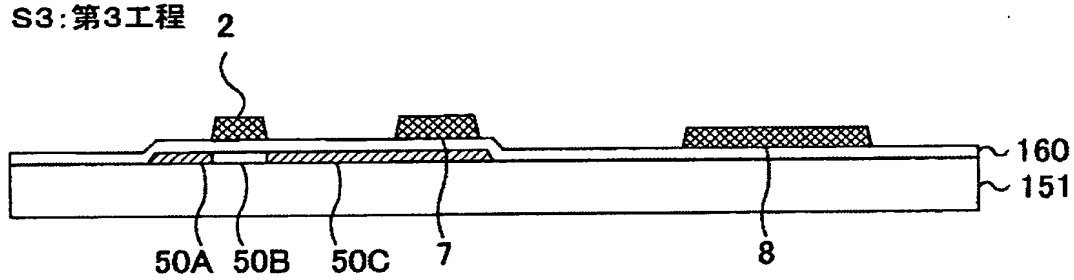
S1:第1工程



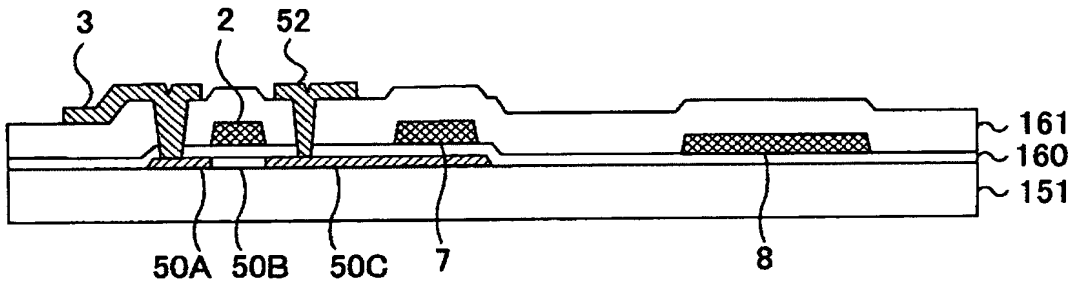
S2:第2工程



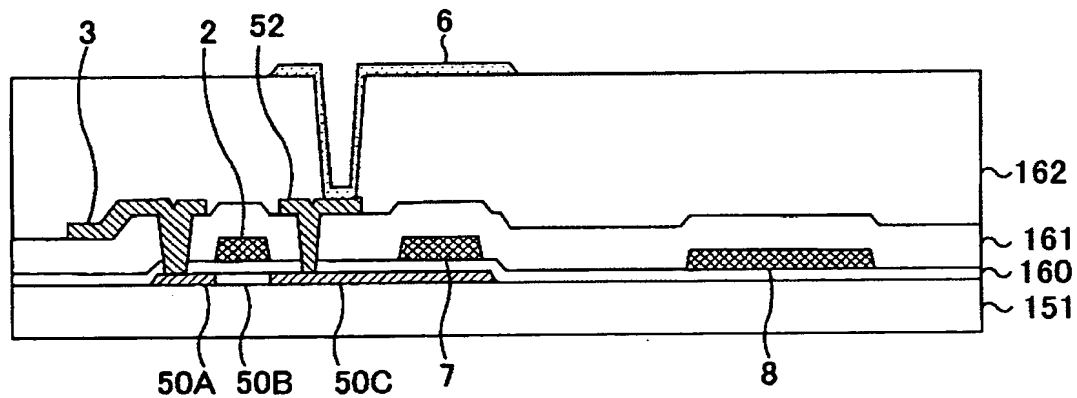
S3:第3工程



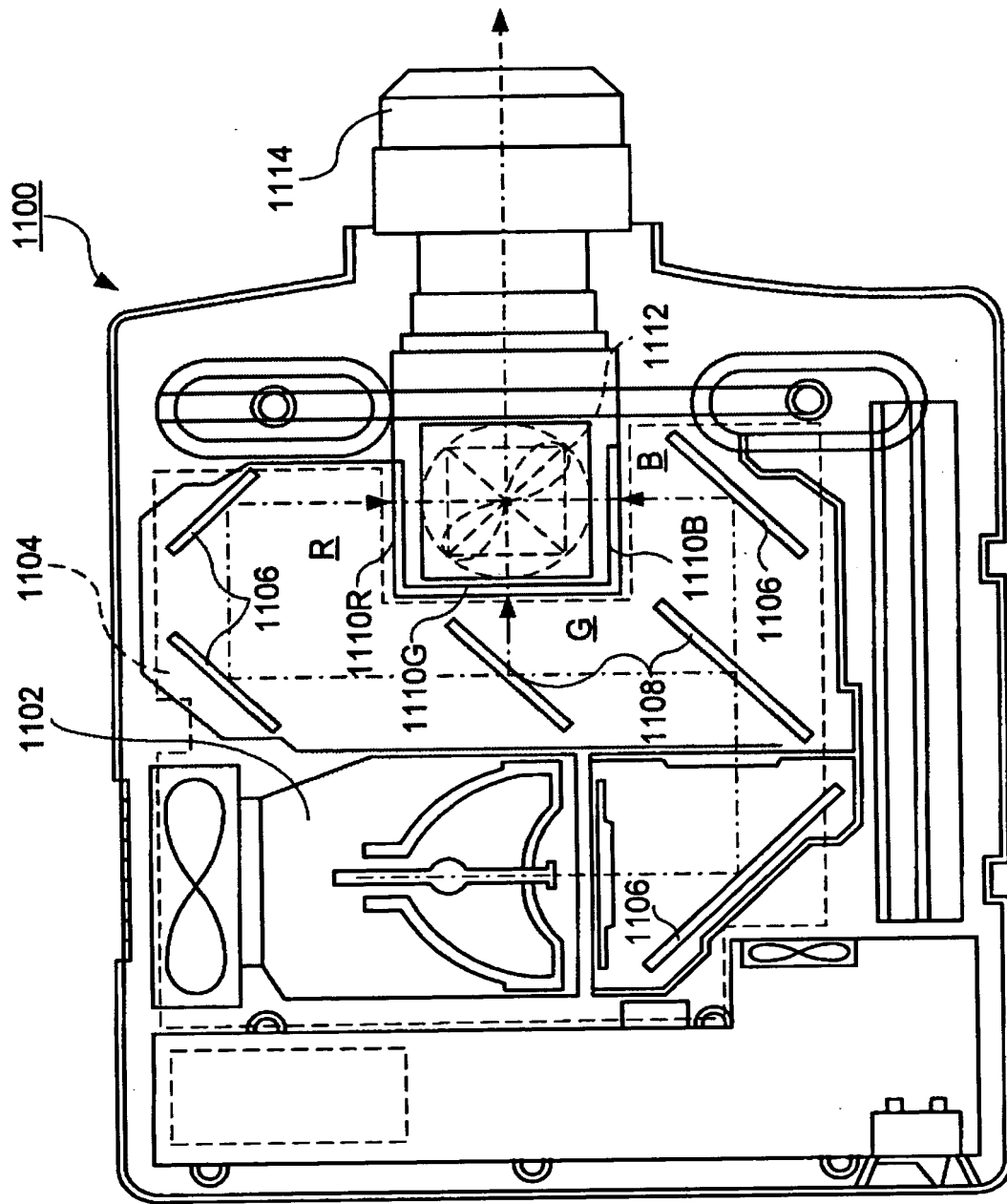
S4:第4工程



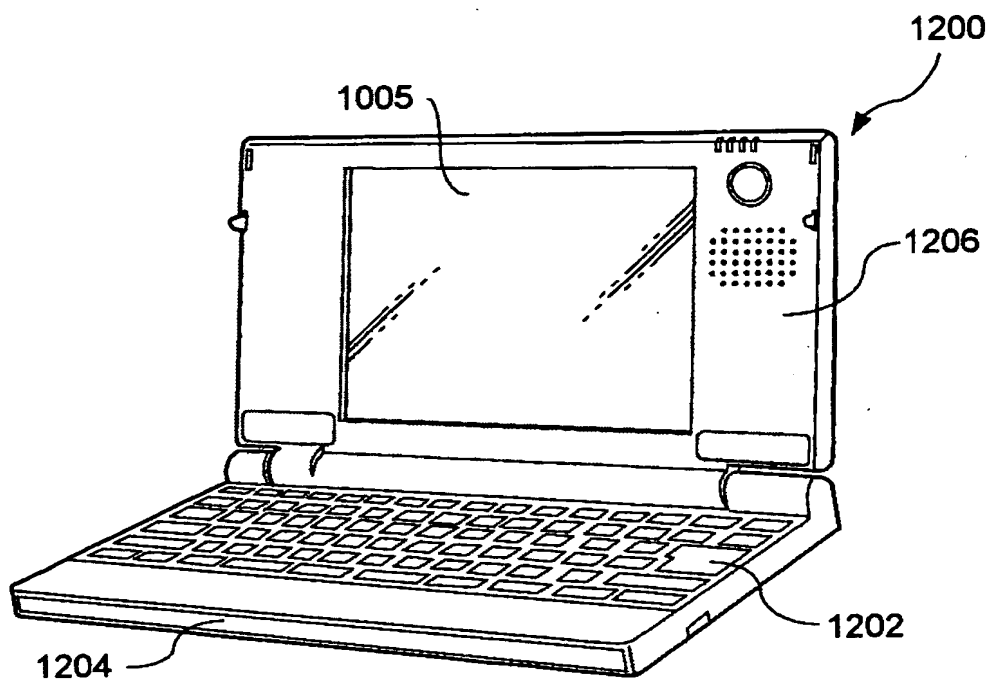
S5:第5工程



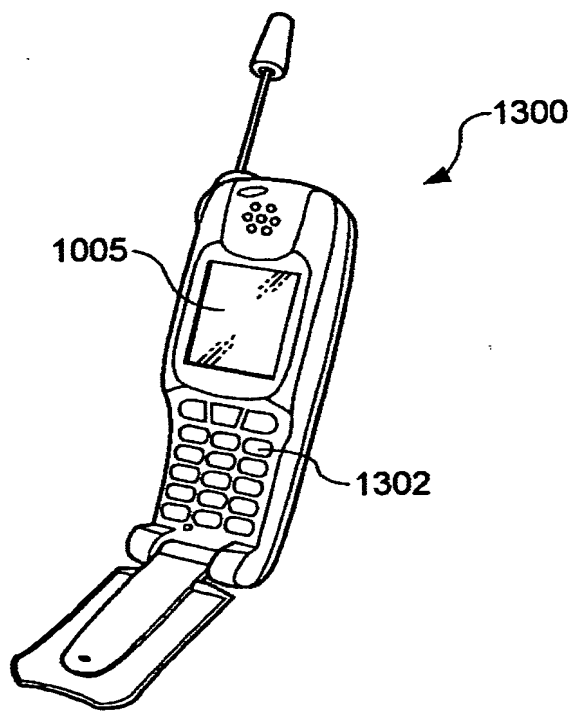
【図10】



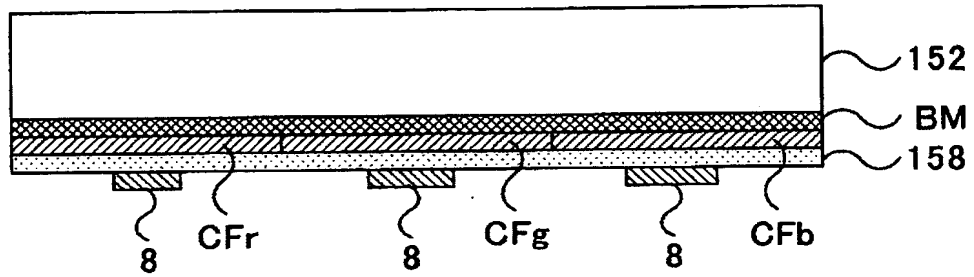
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 液晶パネルを小型・軽量化する。

【解決手段】 データ線 3 と走査線 2 の交差に対応して T F T 5 0 が設けられている。ダミー画素領域 A 1 は画像表示に寄与しないが、有効画素領域 A 2 は画像表示に寄与する。識別パターン 8 は、走査線 2 の順番を示す。識別パターン 8 をダミー画素領域 A 1 に形成することによって、データ線 3 と走査線駆動回路 1 0 とを近接させることができ、額縁面積を縮小させることができる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社